

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-366116
 (43)Date of publication of application : 20.12.2002

(51)Int.Cl.

G09G 3/36
 G02F 1/13
 G02F 1/133
 G09F 9/30
 G09F 9/35
 G09G 3/20
 H04Q 7/38

(21)Application number : 2001-172214

(71)Applicant : MITSUBISHI ELECTRIC CORP

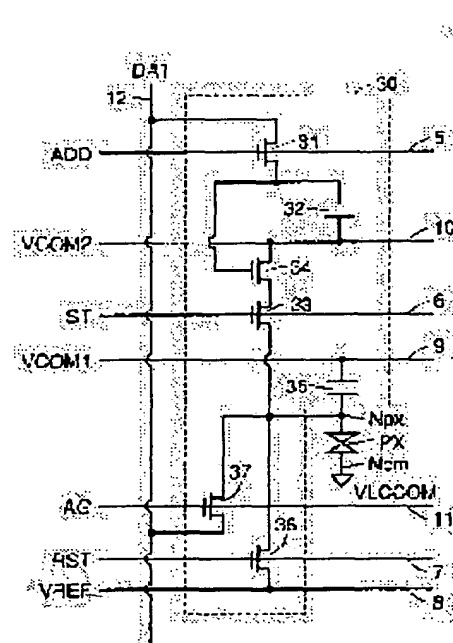
(22)Date of filing : 07.06.2001

(72)Inventor : MURAI HIROYUKI
 TOKIOKA HIDETADA
 HIDA YOICHI
 AGARI MASASHI

(54) LIQUID CRYSTAL DISPLAY DEVICE, AND PORTABLE TELEPHONE SET AND PORTABLE INFORMATION TERMINAL EQUIPMENT EQUIPPED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which can actualize both high-speed image display and low-power-consumption driving. SOLUTION: The liquid crystal driving circuit 30 includes an n type TFT 31 for inputting a digital signal from a data line 11 to a data holding node Nm in response to the activation of a digital scanning line 5, an n type TFT 36 which connects a 1st driving potential supply line 8 and a pixel electrode Npx to each other in response to the activation of a reset line 7, and n type TFTs 33 and 34 which are connected in series between a 2nd driving potential supply line 10 and the pixel electrode Npx. The n type TFT 33 turns on in response to the activation of a set line 6. The n type TFT 34 turns on or off according to the potential of the data holding node Nm. Further, the liquid crystal driving circuit 30 includes an n type TFT 37 for writing an analog signal to the pixel electrode Npx from the data line 11 in response to the activation of an analog scanning line 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁 (J P)

(12)【公報種別】公開特許公報 (A)

(11)【公開番号】特開 2 0 0 2 - 3 6 6 1 1 6 (P 2 0 0 2 - 3 6 6 1 1 6 A)

(43)【公開日】平成 1 4 年 1 2 月 2 0 日 (2 0 0 2 . 1 2 . 2 0)

(54)【発明の名称】液晶表示装置ならびにそれを備える携帯電話機および携帯情報端末機器

(51)【国際特許分類第 7 版】

G09G 3/36

G02F 1/13 505

1/133 545

570

575

G09F 9/30 338

9/35

G09G 3/20 611

621

624

641

680

H04Q 7/38

【F I】

G09G 3/36

G02F 1/13 505

1/133 545

570

575

G09F 9/30 338

9/35

G09G 3/20 611 A

621 K

621 M

624 B

641 E

680 S

680 T

H04B 7/26 109 T

【審査請求】未請求

【請求項の数】14

【出願形態】OL

【全頁数】21

(21) 【出願番号】特願2001-172214 (P2001-172214)

(22) 【出願日】平成13年6月7日 (2001. 6. 7)

(71) 【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目2番3号

(72) 【発明者】

【氏名】村井 博之

【住所又は居所】東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 【発明者】

【氏名】時岡 秀忠

【住所又は居所】東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 【発明者】

【氏名】飛田 洋一

【住所又は居所】東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 【発明者】

【氏名】上里 将史

【住所又は居所】東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 【代理人】

【識別番号】100064746

【弁理士】

【氏名又は名称】深見 久郎 (外4名)

【テーマコード (参考)】

2H088

2H093

5C006

5C080

5C094

5K067

【Fターム（参考）】

2H088 EA22

2H093 NA33 NC03 NC16 NC28 ND32 ND35 ND36 ND39

5C006 AA14 AC21 BB16 BC06 FA04 FA47

5C080 AA10 BB05 DD08 DD26 EE19 EE29 FF11 JJ02 JJ03 JJ04 KK07 KK47

5C094 AA13 AA22 BA03 BA43 CA19 EA04 EA07

5K067 AA43 BB04 BB41 FF23 KK00 KK15

(57)【要約】

【課題】 高速画像 表示および低消費電力駆動を両立可能な液晶表示装置を提供する。

【解決手段】 液晶駆動回路 30は、デジタル走査線5の活性化にตอบสนองしてデータ線11からデジタル信号 をデータ保持 ノードNmに取込むためのn型TFT31と、リセット線7の活性化にตอบสนองして、第1の駆動電位供給線8と画素電極Npxとを接続するn型TFT36と、第2の駆動電位供給線10と画素電極Npxとの間に直列に接続されるn型TFT33および34とを含む。n型TFT33は、セット線6の活性化にตอบสนองしてオンする。n型TFT34は、データ保持 ノードNmの電位に応じてオンまたはオフする。液晶駆動回路 30は、さらに、アナログ走査線11の活性化にตอบสนองしてデータ線11からアナログ信号 を画素電極Npxに書込むためのn型TFT37を含む。

【特許請求の範囲】

【請求項1】 マトリクス状に配置される複数の画素を有する液晶表示部を備え、前記複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、前記最大輝度および最小輝度の一方に相当する第1の液晶駆動電位を伝達するための第1の駆動電位供給線と、前記最大輝度および最小輝度の他方に相当する第2の液晶駆動電位を伝達するための第2の駆動電位供給線と、前記複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、前記複数の画素の行にそれぞれ対応して設けられ、前記画像 データ信号 がデジタル信号 である場合に順に活性化される、複数の第1の走査線、複数の第1の制御線および複数の第2の制御線と、前記複数の画素の行にそれぞれ対応して設けられ、前記画像 データ信号 がアナログ信号 である場合に順に活性化される複数の第2の走査線と、前記複数の画素にそれぞれ対応して設けられ、各々が前記画像 データ信号 に応じて、対応する前記画素電極を駆動するための複数の液晶駆動回路 とをさらに備え、各前記液晶駆動回路 は、前記第1の

走査線の活性化に应答して、対応する前記データ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、前記データ保持 ノードの電位を保持 するためのメモリ部と、対応する前記第 1 の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第 1 の制御線の活性化に应答してオンする第 1 の駆動スイッチと、対応する前記第 2 の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第 2 の制御線の活性化に应答してオンする第 2 の駆動スイッチと、前記第 1 および第 2 の電位供給線の一方と前記画素電極との間に、前記第 1 および第 2 の駆動スイッチの一方と直列に接続され、前記データ保持 ノードの電位に応じてオン・オフする第 3 の駆動スイッチと、対応する前記第 2 の走査線の活性化に应答して、対応する前記データ線とデータ保持 ノードとの間を電氣的に結合するためのアナログ駆動スイッチとを含む、液晶表示装置。

【請求項 2】 前記複数のデータ線に対して前記デジタル信号 を前記画像 データ信号 として供給するための第 1 の水平走査回路と、前記複数のデータ線に対して前記アナログ信号 を前記画像 データ信号 として供給するための第 2 の水平走査回路と、前記アナログ信号 の供給時において、前記第 1 の水平走査回路と前記複数のデータ線との間を電氣的に切離すための第 1 のスイッチ回路と、前記デジタル信号 の供給時において、前記第 2 の水平走査回路と前記複数のデータ線との間を電氣的に切離すための第 2 のスイッチ回路とをさらに備える、請求項 1 記載の液晶表示装置。

【請求項 3】 画像 書込時において、前記第 1 および第 2 の駆動スイッチの前記一方は、前記第 1 および第 2 の駆動スイッチの他方が所定期間オンした後にオンするように、前記第 1 および第 2 の制御線の活性化期間は設定される、請求項 1 記載の液晶表示装置。

【請求項 4】 前記第 1 の液晶駆動電位は、第 1 の電位と第 2 の電位とを周期的に繰り返し、前記第 1 および前記第 2 の電位の切換周期は、1 行あたりの水平走査周期に相当する、請求項 1 記載の液晶表示装置。

【請求項 5】 第 1 の液晶駆動電位は、第 1 の電位と第 2 の電位とを周期的に繰り返し、前記第 1 の電位供給線は、前記第 1 および前記第 2 の電位を互いに相補に供給するための、複数の第 1 および第 2 の駆動電位補助供給線を含み、前記複数の第 1 および第 2 の駆動電位補助供給線は、奇数行および偶数行にそれぞれ対応して配置され、前記第 1 および前記第 2 の電位の切換周期は、表示フレーム周期に相当する、請求項 1 記載の液晶表示装置。

【請求項 6】 前記画素は、並列に配置される L 個 (L : 2 以上の整数) の副画素に分割され、前記画素電極は、前記副画素に対応して、前記最大輝度の表示時におけるそれぞれの表示輝度が、 $2^0 : \dots : 2^{(L-1)}$ となるように分割され、前記行の各々において、前記第 1 の走査線は、前記副画素にそれぞれ対応して L 本ずつ設けられるとともに、前記第 1 および第 2 の制御線と前記第 2 の走査線とは、前記副画素に共通して設けられ、各前記画素において、前記液晶駆動回路 は、前記副画素の各々ごとに独立に設けられる、請求項 1 記載の液晶表示装置。

【請求項 7】 前記行の各々に対応して設けられる、補助走査線をさらに備え、各前記液晶駆動回路は、対応する前記データ線と前記データ保持 ノードとの間に、前記メモリスイッチと直列に接続され、対応する前記補助走査線の活性化に応答してオンする第 1 のリーク防止スイッチをさらに含む、請求項 6 記載の液晶表示装置。

【請求項 8】 前記補助走査線の活性化期間は、前記 n 個の副画素に対応する n 本の第 1 の走査線の活性化期間の全てを含むように設定される、請求項 7 記載の液晶表示装置。

【請求項 9】 前記行の各々において、n 本の前記複数の第 1 の走査線のうちの少なくとも 2 つは同時に活性化され、各前記液晶駆動回路は、前記対応する前記データ線と前記データ保持 ノードとの間に、前記メモリスイッチと直列に接続され、対応する前記第 1 の走査線と同時に活性化される、同一の前記行に対応する他の第 1 の走査線の活性化に応答してオンする第 2 のリーク防止スイッチをさらに含む、請求項 6 記載の液晶表示装置。

【請求項 10】 前記第 1 および第 2 の制御線は、他の前記行に対応する L 本の第 1 の走査線のうちの、活性化期間が重なり合わない 2 本の走査線によってそれぞれ構成される、請求項 9 記載の液晶表示装置。

【請求項 11】 前記第 2 のリーク防止トランジスタおよび前記メモリスイッチは、複数個ずつ設けられる、請求項 9 または 10 記載の液晶表示装置。

【請求項 12】 前記第 1 および第 2 の駆動スイッチは、複数個ずつ配置される、請求項 1、6 および 11 のいずれか 1 項に記載の液晶表示装置。

【請求項 13】 画面表示機能を備える携帯電話機であって、画面表示を実行するための液晶表示装置を備え、前記液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含み、前記複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、前記液晶表示装置は、前記最大輝度および最小輝度の一方に相当する、第 1 の電位と第 2 の電位とを周期的に繰り返す第 1 の液晶駆動電位を伝達するための第 1 の駆動電位供給線と、前記最大輝度および最小輝度の他方に相当する第 2 の液晶駆動電位を伝達するための第 2 の駆動電位供給線と、前記複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、前記複数の画素の行にそれぞれ対応して設けられ、前記画像 データ信号 がデジタルデータである場合に順に活性化される、複数の第 1 の走査線、複数の第 1 の制御線および複数の第 2 の制御線と、前記複数の画素の行にそれぞれ対応して設けられ、前記画像 データ信号 がアナログデータである場合に順に活性化される複数の第 2 の走査線と、前記複数の画素にそれぞれ対応して設けられ、各々が前記画像 データ信号 に応じて、対応する前記画素電極を駆動するための複数の液晶駆動回路 とをさらに含み、各前記液晶駆動回路は、対応する前記第 1 の走査線の活性化に応答して、対応する前記データ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、前記データ保持 ノードの電位を保持 するためのメモリ部と、対応する前記第 1 の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第 1 の制御線の活性化に応答してオンする第 1 の駆動

スイッチと、対応する前記第2の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第2の制御線の活性化に応答してオンする第2の駆動スイッチと、前記第1および第2の電位供給線の一方と前記画素電極との間に、前記第1および第2の駆動スイッチの一方と直列に接続され、前記データ保持ノードの電位に応じてオン・オフする第3の駆動スイッチと、対応する前記第2の走査線の活性化に応答して、対応する前記データ線とデータ保持ノードとの間を電氣的に結合するためのアナログ駆動スイッチとを有する、携帯電話機。

【請求項14】 画面表示機能を備える携帯情報端末機器であって、画面表示を実行するための液晶表示装置を備え、前記液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含み、前記複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、前記液晶表示装置は、前記最大輝度および最小輝度の一方に相当する、第1の電位と第2の電位とを周期的に繰り返す第1の液晶駆動電位を伝達するための第1の駆動電位供給線と、前記最大輝度および最小輝度の他方に相当する第2の液晶駆動電位を伝達するための第2の駆動電位供給線と、前記複数の画素の列にそれぞれ対応して設けられ、各々が画像データ信号を伝達するための複数のデータ線と、前記複数の画素の行にそれぞれ対応して設けられ、前記画像データ信号がデジタルデータである場合に順に活性化される、複数の第1の走査線、複数の第1の制御線および複数の第2の制御線と、前記複数の画素の行にそれぞれ対応して設けられ、前記画像データ信号がアナログデータである場合に順に活性化される複数の第2の走査線と、前記複数の画素にそれぞれ対応して設けられ、各々が前記画像データ信号に応じて、対応する前記画素電極を駆動するための複数の液晶駆動回路とをさらに含み、各前記液晶駆動回路は、対応する前記第1の走査線の活性化に応答して、対応する前記データ線とデータ保持ノードとの間を電氣的に結合するためのメモリスイッチと、前記データ保持ノードの電位を保持するためのメモリ部と、対応する前記第1の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第1の制御線の活性化に応答してオンする第1の駆動スイッチと、対応する前記第2の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第2の制御線の活性化に応答してオンする第2の駆動スイッチと、前記第1および第2の電位供給線の一方と前記画素電極との間に、前記第1および第2の駆動スイッチの一方と直列に接続され、前記データ保持ノードの電位に応じてオン・オフする第3の駆動スイッチと、対応する前記第2の走査線の活性化に応答して、対応する前記データ線とデータ保持ノードとの間を電氣的に結合するためのアナログ駆動スイッチとを有する、携帯情報端末機器。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高速画像表示と低消費電力駆動とを両立する液晶表示装置ならびにそれを備える携帯電話機および携帯情報端末機器に関する。

【０００２】

【従来の技術】パーソナルコンピュータ、テレビジョン受像機、携帯電話機および携帯情報端末機器などのディスプレイパネルとして、液晶表示装置が用いられるようになってきている。液晶表示装置は、従来のディスプレイ装置と比較して、低消費電力化や小型軽量化の面でメリットが大きい。

【０００３】図１２は、従来の液晶表示装置１０００の全体構成を説明する概略ブロック図である。

【０００４】図１２を参照して、従来の液晶表示装置１０００は、行列状に配置された複数の画素１００１を有する液晶表示部１００２を備える。カラー液晶表示装置においては、Ｒ（赤）、Ｇ（緑）およびＢ（青）の３原色のそれぞれを表示するためのＲ画素、Ｇ画素およびＢ画素から１つの表示単位が構成される。したがって、液晶表示部１００２全体で見れば、複数の表示単位が行列状に配置されていることになる。

【０００５】液晶表示装置１０００は、さらに、行ドライバ回路１００３を備える。行ドライバ回路１００３は、液晶表示部１００２において、１つの画素行（ライン）を選択するための回路であり、シフトレジスタ回路１００４およびバッファ回路１００５を含む。

【０００６】液晶表示装置１０００は、さらに、列ドライバ回路１００６を備える。列ドライバ回路１００６は、シフトレジスタ回路１００７と、バッファ回路１００８と、スイッチ１００９とを有する。列ドライバ回路１００６は、液晶表示部の１つの列に画像を表示するための信号を供給する。

【０００７】液晶表示部１００２において、画素の各ラインごとに走査線１０１０が配置され、画素の各列ごとにデータ線１０１１が配置される。さらに、共通電位Ｖｃｏｍを供給するための共通電位供給線１０１２が、たとえば画素の各ラインごとに配置される。

【０００８】液晶表示部１００２における表示画素を示すための画像データ信号は、画像信号線１０１３によって伝達される。

【０００９】図１３は、各画素１００１の構成を説明する回路図である。図１３を参照して、各画素に対応して、ＴＦＴ（Thin Film Transistor）１１０１と、液晶表示素子１１０２と、コンデンサ１１０３とが配置される。

【００１０】ＴＦＴ１１０１は、走査線１０１０と結合されるゲートを有し、データ線１０１１と液晶表示素子１１０２との間に電氣的に結合される。液晶表示素子１１０２は、ＴＦＴ１１０１と結合される画素電極と、対向電極電位ＶＬＣＣＯＭが印加される対向電極とを有している。コンデンサ１１０３は、画素電極と共通電位供給線１０１２との間に接続される。

【００１１】再び図１２を参照して、行ドライバ回路１００３は、所定の垂直走査周期に基づいて、走査線１０１０を１本ずつ順に活性化することによって、ライン走査を実行す

る。

【0012】列ドライバ回路1006は、スイッチ1009のオン・オフを制御することにより、画像 信号 線1013に伝達される画素データ信号 を、水平走査の対象となる画素列に対応するデータ線1011に供給する。

【0013】いわゆる点順次駆動の場合には、垂直走査の対象となる1つのラインに属する各画素は、列ドライバ回路1006によって順次選択されて、データ線1011を介して順次画像 データ信号 の供給を受ける。

【0014】垂直走査の対象となったラインにおいては、対応する走査線1010がHレベルに活性化されることによって、TF T 1 1 0 1がオンする。これにより、列ドライバ回路1006によってデータ線1011に供給された画像 データ信号 は、液晶表示素子1102の画素電極に書込まれる。

【0015】液晶表示素子1102においては、画素電極と対向電極との間の電位差に応じて液晶の配向性が変化することにより、液晶表示素子の輝度（反射率）が変化する。したがって、画像 データ信号 に応じた輝度（反射率）を液晶表示素子1102に表示することができる。

【0016】1つのラインに属するすべての画素に対して水平走査が行なわれた後に、行ドライバ回路1003によって、これまで選択されていた走査線はLレベルに非活性化されて、次の走査線が活性化される。これに応じて、TF T 1 1 0 1はオフされるが、TF T 1 1 0 1のオフ期間においても、コンデンサ1103が画素電極の電位を保持 する。

【0017】同様の水平走査が、次のラインに対しても順次実行され、すべてのラインが走査（これを1フレームとも称する）された後に、再び先頭の走査線が活性化される。このように、すべての画素に対して、1フレームごとに画素データ信号 を液晶表示素子の画素電極に書込むことによって、画像 表示が実行される。

【0018】また、画像 データ信号 を、最大輝度および最小輝度にそれぞれ対応する電位の中間電位を含むアナログ信号 で構成することによって、各画素における階調表示を行なうことができる。

【0019】

【発明が解決しようとする課題】液晶表示装置は以上のように構成されるので、1つの液晶表示素子、すなわち画素に画像 データ信号 が書込まれ、再び書込が実施されるまでの間、すなわち1フレーム周期において、液晶表示素子およびコンデンサの静電容量によって、画素電極の電位を維持する必要がある。しかしながら、液晶表示素子の両極板間に存在する有限の抵抗率や、TF Tのリーク等によって画素電極の電位が低下して、表示輝度の変動によってフリッカが視認される等の表示品位の低下が生じてしまう。

【0020】図14は、画素電極の電位変動による表示品位の低下を説明するための概念図である。

【0021】図14（a）には、通常の60Hzのフレーム周波数で、液晶表示素子に同

一輝度を表示する場合における液晶表示素子の反射率の推移を示している。

【0022】各液晶表示装置は、フレーム周期である $1/60$ 秒に1度、同一電位の書込動作が実行されるため、画素電極電位の低下も僅かなものである。したがって、各画素の反射率（輝度）は大きく変化せず、フリッカやコントラスト低下といった表示品位の低下は見られない。

【0023】ところで、液晶表示装置の消費電力は、フレーム周波数×垂直走査線（図21における走査線1010）数の周波数で動作する行ドライバ回路1003、およびフレーム周波数×垂直走査線数×水平走査線（図12におけるデータ線1011）数の周波数で動作する列ドライバ回路1006において、高速で動作するシフトレジスタ回路1004、1007の電力が大部分を占める。したがって、液晶表示装置の低消費電力化を図るには、動作周波数の低減、あるいは行ドライバ回路および列ドライバ回路の間欠的な動作を実行させることが有効である。

【0024】図14（b）には、消費電力を低減するために、行ドライバ回路および列ドライバ回路の動作周波数を低下させて液晶表示素子に同一輝度を表示する場合における液晶表示素子の反射率の推移を示している。

【0025】図14（b）を参照して、フレーム周期が長くなると、各画素において液晶表示素子に対する書込動作の実行間隔が長くなり、その間に画素電極で生じる電位低下は大きくなってしまう。

【0026】したがって、画素電極の電位が大きく変化するために、各画素における反射率（輝度）が大きく変化して、フリッカとして観測される。また、フレーム期間における平均電位も低下するために、十分なコントラストが得られないなど、表示品位が低下するという問題点が生じてしまう。

【0027】また、近年では、携帯電話機や携帯情報端末機器に代表される携帯機器に液晶表示装置が搭載されるケースが多くなっている。これらの携帯機器においては、待機画面等において連続的に同一内容の文字や静止画を表示するだけでなく、高速でその表示内容が変更される動画等の高速画像表示に対応することも要求されてきている。一方で、これらの携帯機器は、バッテリー駆動されるため低消費電力駆動が特に強く要求される。このような背景から、低消費電力化のニーズを満足した上で、動画等の高速画像表示にも対応可能な液晶表示装置が必要とされている。

【0028】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、表示画像の種類に応じて、低消費電力駆動と動画等の高速画像表示との両方に対応可能な液晶表示装置ならびに、それを備える携帯電話機および携帯情報端末機器を提供することである。

【0029】

【課題を解決するための手段】請求項1記載の液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を備え、複数の画素の各々は、画素電極と対向電極との

間の電位差に応じて光学応答を示す液晶表示素子を有し、最大輝度および最小輝度の一方に相当する第1の液晶駆動電位を伝達するための第1の駆動電位供給線と、最大輝度および最小輝度の他方に相当する第2の液晶駆動電位を伝達するための第2の駆動電位供給線と、複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、複数の画素の行にそれぞれ対応して設けられ、画像 データ信号 がデジタル信号 である場合に順に活性化される、複数の第1の走査線、複数の第1の制御線および複数の第2の制御線と、複数の画素の行にそれぞれ対応して設けられ、画像 データ信号 がアナログ信号 である場合に順に活性化される複数の第2の走査線と、複数の画素にそれぞれ対応して設けられ、各々が画像 データ信号 に応じて、対応する画素電極を駆動するための複数の液晶駆動回路 とをさらに備える。各液晶駆動回路 は、第1の走査線の活性化に应答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、データ保持 ノードの電位を保持 するためのメモリ部と、対応する第1の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第1の制御線の活性化に应答してオンする第1の駆動スイッチと、対応する第2の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第2の制御線の活性化に应答してオンする第2の駆動スイッチと、第1および第2の電位供給線の一方と画素電極との間に、第1および第2の駆動スイッチの一方と直列に接続され、データ保持 ノードの電位に応じてオン・オフする第3の駆動スイッチと、対応する第2の走査線の活性化に应答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのアナログ駆動スイッチとを含む。

【0030】請求項2記載の液晶表示装置は、請求項1記載の液晶表示装置であって、複数のデータ線に対してデジタル信号 を画像 データ信号 として供給するための第1の水平走査回路と、複数のデータ線に対してアナログ信号 を画像 データ信号 として供給するための第2の水平走査回路と、アナログ信号 の供給時において、第1の水平走査回路と複数のデータ線との間を電氣的に切離すための第1のスイッチ回路と、デジタル信号 の供給時において、第2の水平走査回路と複数のデータ線との間を電氣的に切離すための第2のスイッチ回路とをさらに備える。

【0031】請求項3記載の液晶表示装置は、請求項1記載の液晶表示装置であって、画像 書込時において、第1および第2の駆動スイッチの一方は、第1および第2の駆動スイッチの他方が所定期間オンした後にオンするように、第1および第2の制御線の活性化期間は設定される。

【0032】請求項4記載の液晶表示装置は、請求項1記載の液晶表示装置であって、第1の液晶駆動電位は、第1の電位と第2の電位とを周期的に繰り返し、第1および第2の電位の切換周期は、1行あたりの水平走査周期に相当する。

【0033】請求項5記載の液晶表示装置は、請求項1記載の液晶表示装置であって、第1の液晶駆動電位は、第1の電位と第2の電位とを周期的に繰り返し、第1の電位供給線

は、第1および第2の電位を互いに相補に供給するための、複数の第1および第2の駆動電位補助供給線を含む。複数の第1および第2の駆動電位補助供給線は、奇数行および偶数行にそれぞれ対応して配置され、第1および第2の電位の切換周期は、表示フレーム周期に相当する。

【0034】請求項6記載の液晶表示装置は、請求項1記載の液晶表示装置であって、画素は、並列に配置される L 個（ L ：2以上の整数）の副画素に分割される。画素電極は、副画素に対応して、最大輝度の表示時におけるそれぞれの表示輝度が、 $2^0 : \dots : 2^{(L-1)}$ となるように分割される。行の各々において、第1の走査線は、副画素にそれぞれ対応して L 本ずつ設けられるとともに、第1および第2の制御線と第2の走査線とは、副画素に共通して設けられ、各画素において、液晶駆動回路は、副画素の各々ごとに独立に設けられる。

【0035】請求項7記載の液晶表示装置は、請求項6記載の液晶表示装置であって、行の各々に対応して設けられる、補助走査線をさらに備える。各液晶駆動回路は、対応するデータ線とデータ保持ノードとの間に、メモリスイッチと直列に接続され、対応する補助走査線の活性化に応答してオンする第1のリーク防止スイッチをさらに含む。

【0036】請求項8記載の液晶表示装置は、請求項7記載の液晶表示装置であって、補助走査線の活性化期間は、 n 個の副画素に対応する n 本の第1の走査線の活性化期間の全てを含むように設定される。

【0037】請求項9記載の液晶表示装置は、請求項6記載の液晶表示装置であって、行の各々において、 n 本の複数の第1の走査線のうちの少なくとも2つは同時に活性化される。各液晶駆動回路は、対応するデータ線とデータ保持ノードとの間に、メモリスイッチと直列に接続され、対応する第1の走査線と同時に活性化される、同一の行に対応する他の第1の走査線の活性化に応答してオンする第2のリーク防止スイッチをさらに含む。

【0038】請求項10記載の液晶表示装置は、請求項9記載の液晶表示装置であって、第1および第2の制御線は、他の行に対応する L 本の第1の走査線のうちの、活性化期間が重なり合わない2本の走査線によってそれぞれ構成される。

【0039】請求項11記載の液晶表示装置は、請求項9または10記載の液晶表示装置であって、第2のリーク防止トランジスタおよびメモリスイッチは、複数個ずつ設けられる。

【0040】請求項12記載の液晶表示装置は、請求項1、6および11のいずれか1項に記載の液晶表示装置であって、第1および第2の駆動スイッチは、複数個ずつ配置される。

【0041】請求項13記載の携帯電話機は、画面表示機能を備える携帯電話機であって、画面表示を実行するための液晶表示装置を備える。液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含む。複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有する。液晶表示装置は、最大輝

度および最小輝度の一方に相当する、第１の電位と第２の電位とを周期的に繰り返す第１の液晶駆動電位を伝達するための第１の駆動電位供給線と、最大輝度および最小輝度の他方に相当する第２の液晶駆動電位を伝達するための第２の駆動電位供給線と、複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、複数の画素の行にそれぞれ対応して設けられ、画像 データ信号 がデジタルデータである場合に順に活性化される、複数の第１の走査線、複数の第１の制御線および複数の第２の制御線と、複数の画素の行にそれぞれ対応して設けられ、画像 データ信号 がアナログデータである場合に順に活性化される複数の第２の走査線と、複数の画素にそれぞれ対応して設けられ、各々が画像 データ信号 に応じて、対応する画素電極を駆動するための複数の液晶駆動回路 とをさらに含む。各液晶駆動回路 は、対応する第１の走査線の活性化に应答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、データ保持 ノードの電位を保持 するためのメモリ部と、対応する第１の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第１の制御線の活性化に应答してオンする第１の駆動スイッチと、対応する第２の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第２の制御線の活性化に应答してオンする第２の駆動スイッチと、第１および第２の電位供給線的一方と画素電極との間に、第１および第２の駆動スイッチの一方と直列に接続され、データ保持 ノードの電位に応じてオン・オフする第３の駆動スイッチと、対応する第２の走査線の活性化に应答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのアナログ駆動スイッチとを有する。

【００４２】請求項１４記載の携帯情報端末機器は、画面表示機能を備える携帯情報端末であって、画面表示を実行するための液晶表示装置を備える。液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含む。複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有する。液晶表示装置は、最大輝度および最小輝度の一方に相当する、第１の電位と第２の電位とを周期的に繰り返す第１の液晶駆動電位を伝達するための第１の駆動電位供給線と、最大輝度および最小輝度の他方に相当する第２の液晶駆動電位を伝達するための第２の駆動電位供給線と、複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、複数の画素の行にそれぞれ対応して設けられ、画像 データ信号 がデジタルデータである場合に順に活性化される、複数の第１の走査線、複数の第１の制御線および複数の第２の制御線と、複数の画素の行にそれぞれ対応して設けられ、画像 データ信号 がアナログデータである場合に順に活性化される複数の第２の走査線と、複数の画素にそれぞれ対応して設けられ、各々が画像 データ信号 に応じて、対応する画素電極を駆動するための複数の液晶駆動回路 とをさらに含む。各液晶駆動回路 は、対応する第１の走査線の活性化に应答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、データ保持 ノードの電位を保持 するためのメモリ部と、

対応する第1の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第1の制御線の活性化に应答してオンする第1の駆動スイッチと、対応する第2の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第2の制御線の活性化に应答してオンする第2の駆動スイッチと、第1および第2の電位供給線の一方と画素電極との間に、第1および第2の駆動スイッチの一方と直列に接続され、データ保持 ノードの電位に応じてオン・オフする第3の駆動スイッチと、対応する第2の走査線の活性化に应答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのアナログ駆動スイッチとを有する。

【0043】

【発明の実施の形態】以下において、本発明の実施の形態を図面を参照して詳細に説明する。なお、以下の説明において、同一または相当部分については同一の参照符号を付すものとする。

【0044】[実施の形態1] 図1は、本発明の実施の形態1に従う液晶表示装置1の全体構成を示す概略ブロック図である。

【0045】図1を参照して、実施の形態1に従う液晶表示装置1は、液晶表示部2を備える。液晶表示部2には、行列状に配置された複数の画素3が配置される。

【0046】詳細は後程説明するが、実施の形態1に従う液晶表示装置1は、デジタル信号に基づいて画像表示を実行するデジタル動作モードと、アナログ信号に基づいて画像表示を実行するアナログ動作モードとを有する。

【0047】画素の行（以下、「ライン」とも称する）の各々に対応して、第1の走査線（以下、「デジタル走査線」とも称する）5、第1の制御線（以下、「セット線」とも称する）6、第2の制御線（以下、「リセット線」とも称する）7、第1の液晶駆動電位VREFを伝達する駆動電位供給線8o、8e、共通電位VCOM1を伝達する共通電位供給線9、第2の液晶駆動電位VCOM2を伝達する駆動電位供給線10および第2の走査線（以下、「アナログ走査線」とも称する）11が配置される。また、画素の列の各々に対応して、データ線12が配置される。

【0048】デジタル走査線5、セット線6およびリセット線7は、デジタル動作モードにおいて、対応するラインが垂直走査対象に選択された場合に、所定のタイミングでHレベルに活性化される、アドレス信号ADD、セット信号STおよびリセット信号RSTをそれぞれ伝達する。

【0049】一方、アナログ走査線11は、デジタル動作モードにおいて、対応するラインが垂直走査対象に選択された場合に、所定のタイミングでHレベルに活性化される、アドレス信号AGを伝達する。

【0050】第1の液晶駆動電位VREFおよび第2の液晶駆動電位VCOM2は、デジタル動作モードにおける画像表示に用いられる。デジタル動作モードにおいては、各画素は、第1の液晶駆動電位VREFもしくは第2の液晶駆動電位VCOM2を書込まれて、

最大輝度もしくは最小輝度の一方ずつを表示する。

【0051】これに対して、アナログ動作モードにおいては、データ線12を介して書込まれたアナログ電位に応じて、最大輝度、最小輝度、およびこれらの中間輝度を含む階調表示を実行する。

【0052】第1の液晶駆動電位VREFは、一定周期ごとに+V1cもしくは-V1cに設定される。+V1cおよび-V1cは、対向電極電位VLCOMに対してそれぞれ異なる極性を有する。この結果、第1の液晶駆動電位VREFの極性は一定周期ごとに反転されて、液晶表示素子における焼き付きの発生が抑制される。

【0053】なお、図1に示されるように、第1の液晶駆動電位VREF、共通電位VCOM1および第2の液晶駆動電位VCOM2を、第1の駆動電位供給線8、共通電位供給線9および第2の駆動電位供給線10のそれぞれの両端側から供給する構成とすることにより、同一の電位供給線上における電位変動を抑制することができる。

【0054】液晶表示装置1は、垂直走査回路15oおよび15eと、デジタル水平走査回路20と、スイッチ部22と、アナログ水平走査回路25と、スイッチ部27とをさらに備える。

【0055】垂直走査回路15oおよび15eは、同期信号の供給を受けて動作する。デジタル水平走査回路20は、同期信号およびデジタル画像信号の供給を受けて動作する。アナログ水平走査回路25は、同期信号およびアナログ画像信号の供給を受けて動作する。なお、同期信号は、それぞれの画像信号の水平および垂直同期タイミングを示す水平同期信号および垂直同期信号、ならびに画素信号の有効期間を表わす画素信号イネーブル信号等を総称的に示している。

【0056】垂直走査回路15oは、デジタル動作モードにおいて、垂直同期周期に基づいて、奇数ラインに対応する、デジタル走査線5、セット線6およびリセット線7の各々を順に活性化する。また、アナログ動作モードにおいては、垂直走査回路15oは、垂直同期周期に基づいて、奇数ラインに対応するアナログ走査線11の各々を順に活性化する。

【0057】同様に、垂直走査回路15eは、デジタル動作モードにおいて、垂直同期周期に基づいて、偶数ラインに対応する、デジタル走査線5、セット線6およびリセット線7の各々を順に活性化する。また、アナログ動作モードにおいては、垂直走査回路15eは、垂直同期周期に基づいて、偶数ラインに対応するアナログ走査線11の各々を順に活性化する。

【0058】具体的には、垂直走査回路15oおよび15eは、各デジタル走査線5、各セット線6、各リセット線7および各アナログ走査線11によってそれぞれ伝達される、アドレス信号ADD、セット信号ST、リセット信号RSTおよびアドレス信号AGの活性化期間を制御する。

【0059】奇数ラインに対応する垂直走査回路15oおよび偶数ラインに対応する垂直走査回路15eを、液晶表示部2を挟んで対向する領域に分割配置することによって、液

晶表示部 2 における画素の列方向におけるピッチ制約を緩和して、高精細表示化を図ることができる。

【0060】デジタル水平走査回路 20 は、デジタル動作モードにおいて、供給されたデジタル画像 信号 を処理して、所定タイミングにおける画像 データ信号 DAT に展開する。スイッチ部 22 は、デジタル水平走査回路 20 とデータ線 12 との間にそれぞれ配置される複数のスイッチユニットによって構成される。

【0061】デジタル水平走査回路 20 は、デジタル動作モードにおいて、水平走査周期に基づいて複数のスイッチユニットをオンして、デジタル信号 で構成される画像 データ信号 DAT をデータ線 12 に供給する。

【0062】いわゆる点順次駆動の場合には、デジタル水平走査回路 20 は、スイッチ部 22 を構成する複数のスイッチユニットを順にオンする。この結果、垂直走査の対象となる 1 つのラインに属する各画素は、対応するスイッチユニットの選択的なオンによって順次水平走査の対象となり、画像 データ信号 (デジタル) の供給を受ける。あるいは、ライン毎一括駆動する構成とすることも可能であり、この場合には、データ線 12 の各々を用いて、走査されたラインに属する各画素に対して画像 データ信号 (デジタル) が並列に供給される。

【0063】一方、アナログ動作モードにおいて、スイッチ部 22 は、データ線 12 の各々とデジタル水平走査回路 20 とを切離す。具体的には、スイッチ部 22 を構成する複数のスイッチユニットの各々は、デジタル水平走査回路 20 によってオフされる。

【0064】アナログ水平走査回路 25 は、アナログ動作モードにおいて、供給されたアナログ画像 信号 を処理して、所定タイミングにおける画像 データ信号 DAT に展開する。スイッチ部 27 は、アナログ水平走査回路 25 とデータ線 12 との間にそれぞれ配置される複数のスイッチユニットによって構成される。

【0065】アナログ水平走査回路 25 は、アナログ動作モードにおいて、水平走査周期に基づいて複数のスイッチユニットをオンして、アナログ電位を有する画像 データ信号 DAT をデータ線 12 に供給する。

【0066】アナログ水平走査回路 25 についても、スイッチ部 27 を構成する複数のスイッチユニットを、デジタル水平走査回路 20 と同様に制御することによって、点順次駆動およびライン毎駆動の両方に対応して、画像 データ信号 (アナログ) を供給することができる。

【0067】一方、デジタル動作モードにおいて、スイッチ部 27 は、データ線 12 の各々とアナログ水平走査回路 25 とを切離す。具体的には、スイッチ部 27 を構成する複数のスイッチユニットの各々は、アナログ水平走査回路 25 によってオフされる。

【0068】このように、データ線 12 に伝達される画像 データ信号 DAT は、デジタル動作モードではデジタル信号 であり、アナログ動作モードではアナログ信号 である。

【0069】図 2 は、図 1 に示される各画素の構成を示す回路図である。図 2 を参照して、

画素 3 は、液晶表示素子 P X と、液晶駆動回路 30 とを含む。液晶表示素子 P X は、画素電極 N p x と対向電極 N c m とを有する。液晶表示素子 P X には、メモリセルを有しないたとえば T N (Twisted Nematic) 液晶を用いる。

【0070】液晶表示素子 P X は、画素電極 N p x の電位である画素電極電位 V p x と対向電極 N c m に印加される対向電極電位 V L C C O M との電位差に相当する液晶印加電位に応じた光学応答を示す。したがって、液晶表示素子 P X が反射型の場合には、当該液晶印加電位に応じて反射率（輝度）が変化する。また、液晶表示素子 P X が透過型の場合には、液晶印加電位に応じて透過率（輝度）が変化する。

【0071】[デジタル動作モードにおける画像表示] まず、デジタル動作モードで画像表示を実行する部分の構成および動作について説明する。

【0072】液晶駆動回路 30 は、データ線 12 およびデータ保持 ノード N m の間に電氣的に結合される n 型 T F T 31 と、第 2 の駆動電位供給線 10 およびデータ保持 ノード N m の間に接続されるコンデンサ 32 とを有する。n 型 T F T 31 のゲートはデジタル走査線 5 と結合される。

【0073】デジタル走査線 5 が走査の対象となって H レベル電位に活性化されると、n 型 T F T 31 はオンする。反対に、対応するデジタル走査線 5 は、走査の対象でない場合には L レベル電位に非活性化されるので、n 型 T F T 31 はオフする。したがって、n 型 T F T 31 は、デジタル走査線 5 の活性化にตอบสนองしてオンするスイッチ素子として動作する。

【0074】液晶駆動回路 30 は、第 2 の駆動電位供給線 10 と画素電極 N p x との間に直列に結合される n 型 T F T 33 および 34 と、画素電極 N p x および共通電位供給線 9 との間に接続されるコンデンサ 35 と、第 1 の駆動電位供給線 8 および画素電極電位の間に電氣的に結合される n 型 T F T 36 とをさらに含む。

【0075】n 型 T F T 33 は、セット線 6 と結合されたゲートを有し、セット線 6 の活性化にตอบสนองしてオンするスイッチ素子として動作する。n 型 T F T 34 は、データ保持 ノード N m と結合されたゲートを有し、データ保持 ノード N m の電位に応じてオン・オフするスイッチ素子として動作する。n 型 T F T 36 は、リセット線 7 と結合されたゲートを有し、リセット線 7 の活性化にตอบสนองしてオンするスイッチ素子として動作する。

【0076】デジタル走査線 5 の活性化（H レベル）期間中、すなわち対応するラインが走査対象となっている場合においては、デジタル水平走査回路 20 によってデータ線 12 に供給された画像 データ信号 D A T は、n 型 T F T 31 のオンによって、データ保持 ノード N m に伝達される。いわゆる点順次駆動の場合には、1 つのラインにおける全部の画素を走査した後に、垂直走査回路 15 o, 15 e によって、デジタル走査線 5 の電位が L レベルに設定されるため、これに対応して n 型 T F T 31 はオフ状態になると、コンデンサ 32 によってデータ保持 ノード N m の電位が保持 される。

【0077】この結果、n 型 T F T 31 およびコンデンサ 32 は、デジタル動作モード時

において、データ線 12 によって供給される画像 データ信号 DAT（デジタル）のレベルを保持 する一種のDRAM（Dynamic Random Access Memory）として動作する。

【0078】リセット線7を活性化することによって、画素電極Npxは第1の駆動電位供給線8と結合されて、画素電極電位Vpxは第1の液晶駆動電位VREFにリセットされる。

【0079】さらに、リセット線7を非活性化した後に、セット線6を活性化した場合には、データ保持 ノードNmに保持 される電位に応じてn型TF T34がオンするときには、画素電極Npxは第2の駆動電位供給線10と結合されて、画素電極電位Vpxは、第2の液晶駆動電位VCOM2に設定される。一方、データ保持 ノードNmに保持 される電位に応じてn型TF T34がオフするときには、画素電極Npxは第2の駆動電位供給線10と結合されないため、画素電極電位Vpxは、リセット時の第1の液晶駆動電位VREFを維持する。

【0080】ここで、消費電力の低減を図るために、垂直走査回路15o、15eおよびデジタル水平走査回路20の動作周波数を低下させ、データ保持 ノードNmに対する書込間隔を長くした場合には、データ保持 ノードNmの電位は、n型TF T31のリーク等によって低下する。

【0081】しかし、データ保持 ノードNmの電位は、n型TF T34のオン・オフを制御するための電位であるため、データ保持 ノードNmの電位がこれらのTF Tのしきい値電位を超えて変化しない限り、n型TF T31の状態は維持される。したがって、セット線6およびリセット線7を定期的に活性化すれば、データ保持 ノードNmの電位、すなわちデータ線12によって一旦伝達された画像 データ信号 DATのレベルに応じて、第1の液晶駆動電位VREFもしくは第2の液晶駆動電位VCOM2を画素電極Npxに印加して書込むことができる。

【0082】本実施の形態においては、液晶表示素子PXは、ノーマリ・ホワイト・モードの液晶表示を実行するものとする。また、表示コントラストが大きくなるように、画素電極Npxに第1の液晶駆動電位VREFが印加されたとき（以下、「非点灯状態」とも称する）に概ね最小輝度Lminを表示し、画素電極Npxに第2の液晶駆動電位VCOM2が印加されたとき（以下、「点灯状態」とも称する）に概ね最大輝度Lmaxが得られるように各電位を設定するものとする。

【0083】このような構成とすることにより、デジタル動作モードにおいて、液晶表示素子PXに液晶電極電位を印加する、すなわち液晶電極電位の書込動作を実行する場合において、各画面の表示フレームを2つのサブモードから構成することができる。

【0084】第1のサブモードは、デジタル走査線5の活性化にตอบสนองして、データ線12に供給された画像 データ信号 DATの取込みを伴う書込動作を行なって、液晶表示素子PXの表示状態を更新するサブモード（以降、「リフレッシュ・サブモード」とも称する）である。

【0085】第2のサブモードは、デジタル走査線5の活性化を伴わず、セット線6およびリセット線7の活性化に応答して、データ保持 ノードNmに保持 された画像 データ信号 DATに基づいた再書込動作を行なって、リフレッシュ・サブモードで指定された液晶表示素子PXの表示状態を更新することなく保持 するサブモード（以降、「ホールド・サブモード」とも称する）である。

【0086】図3は、デジタル動作モードにおける表示フレーム期間の構成を示す概念図である。

【0087】図3を参照して、液晶表示装置1における1つの表示フレームは、入力画像 信号 に応じて液晶表示部2の表示をリフレッシュ（更新）するためのリフレッシュ・サブフレームと、液晶表示部2の表示をホールド（保持 ）するためのホールド・サブフレームとから構成される。

【0088】リフレッシュ・サブフレームにおいては、各液晶駆動回路 30が上述のリフレッシュ・サブモードで動作し、またホールドサブフレームにおいては、上述のホールド・サブモードで動作する。

【0089】すなわち、リフレッシュ・サブモードにおいては、垂直走査回路15o, 15eによって、デジタル走査線5、セット線6およびリセット線7が走査されるとともに、デジタル水平走査回路20によって、データ線12へ画像 データ信号 DAT（デジタル）が伝達される。

【0090】一方、ホールド・サブモードにおいては、垂直走査回路15o, 15eによって、セット線6およびリセット線7を周期的に活性化することによって、データ保持 ノードNmに保持 された画像 データ信号 DAT（デジタル）に応じて、画素電極電位の再書込を実行することができる。この結果、デジタル水平走査回路20におけるデータ線12に画像 データ信号 を供給する動作を停止させることができる。したがって、デジタル水平走査回路20をリフレッシュ・サブフレームのみ動作するような間欠駆動を行って、ホールド・サブフレームにおいては、デジタル水平走査回路20の動的（交流的）に電力を消費する部分の動作を停止させることができる。

【0091】すなわち、1つの表示フレームを、N個（N：自然数）のサブフレームから構成する場合において、水平走査回路の消費電力Warは、下式で示される。

【0092】

$War = (1/N) \times Wr + ((N-1)/N) \times Wh$ ここで、Wrは、リフレッシュ・サブフレーム期間における平均消費電力、すなわち動的（交流的）消費電力と静的（直流的）消費電力の和の平均を示し、Whは、ホールド・サブフレームにおける平均消費電力、すなわち静的消費電力の平均値を示すものとする。

【0093】デジタル水平走査回路20をCMOS回路で構成すれば、静的消費電力は極めて小さくすることができるので、 $War \approx (1/N) \times Wr$ となる。すなわち、間欠駆動を行なわない従来の液晶表示装置に比べて、デジタル水平走査回路20の消費電力を、ほ

ば $1/N$ に低減することができる。

【0094】デジタル水平走査回路20の駆動周波数は、垂直走査回路15o, 15eの駆動周波数に比べるとはるかに高く、たとえば液晶表示部の水平画素数を100程度としても、前者が後者の約100倍に達する。このため、デジタル水平走査回路20の消費電力も、垂直走査回路15o, 15eに比べてはるかに高くなる。

【0095】したがって、液晶表示装置1のように、デジタル水平走査回路20を間欠駆動してその消費電力を低減することは、液晶表示装置全体の低消費電力化に大きな効果をもたらす。なお、実施の形態1においては、各表示フレームを1つのリフレッシュ・サブフレームと3つのホールド・サブフレームから構成して、合計4個 ($N=4$) のサブフレームから構成するようにしたが、1つの表示フレームに含まれるホールド・サブフレームの個数は、各液晶駆動回路30において、データ保持ノードNmに保持する電位が、n型TFET34のしきい値電位を超えないように維持可能な範囲で任意に設定することが可能である。

【0096】図4は、リフレッシュ・サブモード時での実施の形態1に従う画素電極電位の書込動作を示すタイミングチャートである。図4においては、第 $2n$ ($2n$: 偶数) ライン・第 m 列 (m : 自然数) の画素 (以下、画素3aと称する)、および第 $(2n-1)$ ライン・第 m 列の画素 (以下、画素3bと称する) に対する書込動作が示される。

【0097】図4を参照して、期間 T_0 、 T_1 および T_2 において、第 $(2n-1)$ 、 $2n$ および $(2n+1)$ ラインのそれぞれが垂直走査対象に選択される。

【0098】期間 T_0 においては、画素3bにおける画像データ信号の取込動作が実行される。期間 T_1 においては、画素3bにおける画素電極電位の書込動作および、画素3aにおける画像データ信号 $DAT(m)$ の取込動作が実行される。期間 T_2 においては、画素3bにおける画素電極電位の書込動作が実行される。このように、各ラインに対する画素電極電位の書込動作は、次のラインに対する画像データ信号 (デジタル) の取込動作と並列に実行される。

【0099】第1の液晶駆動電位 V_{REF} は、期間 $T_0 \sim T_2$ の各々において極性が反転し、 $+V_{1c}$ もしくは $-V_{1c}$ に設定される。 $+V_{1c}$ および $-V_{1c}$ は、対向電極電位 V_{LCCOM} に対してそれぞれ異なる極性を有する。この結果、第1の液晶駆動電位 V_{REF} の極性は一定周期ごとに反転されて、液晶表示素子における焼き付きの発生が抑制される。 $+V_{1c}$ および $-V_{1c}$ の平均値、すなわち第1の液晶駆動電位 V_{REF} の振幅の中間値は電位0で示される。

【0100】同一フレーム内において、各表示ラインごとに第1の液晶駆動電位 V_{REF} の極性を反転する。たとえば、図3に示されるように、連続するラインにそれぞれ属する画素3bおよび3aに対する書込がそれぞれ実行される期間 T_0 および T_1 において、第1の液晶駆動電位 V_{REF} は、それぞれ $-V_{1c}$ および $+V_{1c}$ に設定されており、その極性は反転されている。

【0101】この結果、ラインごとに画素電極電位の極性を分散することができるので、表示輝度のリップル、すなわちフリッカが低減される。

【0102】さらに、各ラインの極性を表示フレームごとに反転することによって、表示フレームの各々において、ラインごとに画素電極電位の極性を分散することができる。この結果、表示フレームの切替わりに起因する表示輝度のリップル、すなわちフリッカがさらに低減される。

【0103】期間T0において、第 $(2n-1)$ ラインに対応するデジタル走査線5によって伝達されるアドレス信号 ADD $(2n-1)$ の活性化にตอบสนองして、画素3bのn型TFT31がオンする。これにより、Hレベルの画像データ信号 DAT (m) が画素3bに取込まれ、画素3bのデータ保持ノードNm $(2n-1)$ の電位がLレベルからHレベルに変化する。

【0104】期間T1においては、第 $2n$ ラインに対応するデジタル走査線5によって伝達されるアドレス信号 ADD $(2n)$ の活性化にตอบสนองして、画素3aのn型TFT31がオンする。これにより、Lレベルの画像データ信号 DAT (m) が画素3aに取込まれ、画素3aのデータ保持ノードNm $(2n)$ の電位がHレベルからLレベルに変化する。

【0105】画素3aにおける画像データ信号の取込動作と並列に、画素3bにおいて、期間T0で取込まれたデジタルの画像データ信号に基づく画素電極電位の書込動作が実行される。

【0106】まず、画素3bに対応するリセット信号 RST $(2n-1)$ が所定期間活性化されて、画素3bの画素電極Npxは第1の駆動電位供給線8と結合される。これに応じて、画素電極電位Vpx $(2n-1)$ は、第1の液晶駆動電位VREFで駆動されて、 $-V_{lc}$ に向かって変化する。すなわち、画素3bは、リセット信号 RST $(2n-1)$ の活性化にตอบสนองして、データ保持ノードNmに保持されるデータレベルにかかわらず、一旦非点灯状態に設定される。

【0107】対応するリセット信号 RST $(2n-1)$ がHレベルからLレベルへ変化するタイミングにおいて、リセット線7と画素電極Npxとの間の容量結合等の影響によって生じるフィードスルーと呼ばれる電位変動によって、画素電極電位Vpx $(2n-1)$ は、Vf-に変化する。

【0108】一方、第1の液晶駆動電位の極性が逆である場合には、画素電極電位Vpx $(2n-1)$ は、図中に点線で示されるように逆の極性で変化し、フィードスルーの影響後には、Vf+に達する。

【0109】対応するリセット信号 RST $(2n-1)$ が非活性化された後に、セット信号 ST $(2n-1)$ が活性化される。画素3bにおいては、データ保持ノードNm $(2n-1)$ にHレベルが保持されているので、セット信号 ST $(2n-1)$ の活性化にตอบสนองして、画素3bの画素電極Npxは第2の駆動電位供給線10と結合される。これに応じて、画素電極電位Vpx $(2n-1)$ は、第2の液晶駆動電位VCOM2によって駆動される。

これにより、画素3bは、点灯状態に設定されて、最大輝度を表示する。

【0110】さらに、セット信号 $ST(2n-1)$ がHレベルからLレベルへ変化するタイミングにおいて、セット線6と画素電極 N_{px} との間の容量結合等の影響によって生じるフィードスルーによって、画素電極電位 $V_{px}(2n-1)$ は、第2の液晶駆動電位 V_{COM2} から V_{f0} に変化する。

【0111】期間 T_2 においては、まず、画素3aに対応するリセット信号 $RST(2n)$ が所定期間活性化されて、画素3aは、期間 T_1 における画素3bと同様に、データ保持ノード N_m に保持されるデータレベルにかかわらず、一旦非点灯状態に設定される。この結果、フィードスルーの影響を受けた後、画素電極電位 $V_{px}(2n-1)$ は、 V_{f+} に達する。

【0112】一方、第1の液晶駆動電位の極性が逆である場合には、画素電極電位 $V_{px}(2n-1)$ は、図中に点線で示されるように逆の極性で変化し、フィードスルーの影響後には、 V_{f-} に達する。

【0113】リセット信号 $RST(2n)$ が非活性化された後に、セット信号 $ST(2n)$ が活性化される。画素3aにおいては、データ保持ノード $N_m(2n)$ にLレベルが保持されているので、セット信号 $ST(2n)$ が活性化されても、画素3bの画素電極 N_{px} は第2の駆動電位供給線10と結合されない。したがって、画素電極電位 $V_{px}(2n-1)$ は、セット信号 $ST(2n)$ の活性化および非活性化に伴うフィードスルーの影響を受けた後に、リセット信号 $RST(2n)$ の活性化に伴う第1の液晶駆動電位 V_{REF} の駆動後における電位 V_{f+} に復帰する。これにより、画素3aは、非点灯状態に設定されて最小輝度を表示する。

【0114】図示しないが、次のラインである第 $(2n+1)$ ラインにおける画像データ信号の取込動作が、期間 T_2 において並列に実行される。

【0115】なお、対向電極電位 V_{LCCOM} を、第1の液晶駆動電位 V_{REF} の駆動後における画素電極電位 V_{f+} および V_{f-} の平均値に、すなわち下記(1)式に従って設定する。

【0116】

$$V_{LCCOM} = \{(V_{f-}) + (V_{f+})\} / 2 \dots (1)$$

また、第2の液晶駆動電位 V_{COM2} は、フィードスルー等による電位変動を考慮して、図4に示される V_{f0} が対向電極電位 V_{LCCOM} と等しくなるように、第1の液晶駆動電位の振幅の中心値（図4における電位0）および対向電極電位 V_{LCCOM} とは異なるレベルに設定される。

【0117】これにより、非点灯状態においては、第1の液晶駆動電位 V_{REF} の極性にかかわらず、画素電極 N_{px} と対向電極 N_{cm} との間の電位差を一定にすることができ、点灯状態においては、画素電極 N_{px} と対向電極 N_{cm} との間の電位差を0にすることができる。この結果、点灯時および非点灯時のいずれにおいても、液晶表示素子に焼付きを

発生させることなく、フリッカ等の発生を防止して高い表示品位を維持することができる。

【0118】図5は、ホールド・サブモード時での実施の形態1に従う画素電極電位の書込動作を示すタイミングチャートである。

【0119】図5を参照して、期間T4においては、画素3bにおいて、データ保持 ノードNm ($2n-1$) の電位に応じた画素電極電位の再書込動作が実行される。期間T5においては、画素3aにおいて、データ保持 ノードNm ($2n$) の電位に応じた画素電極電位の再書込動作が実行される。

【0120】すでに説明したように、ホールド・サブモード時には、デジタル走査線5は非活性状態に維持されて、画像 データ信号 DATの供給は実行されない。したがって、データ線12の電位は、たとえばLレベルに固定される。

【0121】期間T3においては、セット線6およびリセット線7はいずれも非活性化(Lレベル)されており、画素3aおよび3bにおいて、画素電極電位は維持される。

【0122】期間T4においては、まず、画素3bに対応するリセット信号 RST ($2n-1$) が所定期間活性化されて、画素3bは、期間T1における画素3bと同様に、データ保持 ノードNmに保持 されるデータレベルにかかわらず、一旦非点灯状態に設定される。この結果、画素電極電位Vpx ($2n-1$) は、 $-V_{lc}$ に設定された第1の液晶駆動電位VREFによって駆動され、フィードスルーの影響を受けた後Vf-に達する。

【0123】リセット信号 RST ($2n-1$) が非活性された後に、セット信号 ST ($2n-1$) が活性化される。画素3bにおいては、データ保持 ノードNm ($2n-1$) にHレベルが保持 されているので、セット信号 ST ($2n-1$) の活性化に応答して、画素3bの画素電極Npx ($2n-1$) は、第2の液晶駆動電位VCOM2に駆動される。これにより、画素3bは、点灯状態に再度設定されて、最大輝度の表示を保持 する。

【0124】期間T5においては、まず、画素3aに対応するリセット信号 RST ($2n$) が所定期間活性化されて、画素3aは、データ保持 ノードNmに保持 されるデータレベルにかかわらず、画素電極Npx ($2n$) が第1の液晶駆動電位VREFに駆動されて、一旦非点灯状態に設定される。その後、リセット信号 RST ($2n$) の非活性化に伴うフィードスルーによって、画素電極電位Vpx ($2n$) は、Vf+に達する。

【0125】リセット信号 RST ($2n$) が非活性された後に、セット信号 ST ($2n$) が活性化される。画素3aにおいては、データ保持 ノードNm ($2n$) にLレベルが保持 されているので、セット信号 ST ($2n$) が活性化されても、画素3bの画素電極Npxは第2の駆動電位供給線10と結合されない。したがって、画素電極電位Vpx ($2n$) には、第1の液晶駆動電位VREFへの駆動後の電位 (Vf+) が維持される。これにより、画素3aは、非点灯状態に再設定されて、最小輝度の表示を保持 する。

【0126】このような構成とすることにより、ホールド・サブフレームにおいて画像 データ信号 の供給動作を停止した上で、各サブフレームにおいて、点灯状態および非点灯状態に設定される画素のそれぞれについて、第1の液晶駆動電位VREFおよび第2の液晶

駆動電位 V_{COM2} によって画素電極電位を駆動することができる。

【0127】この結果、デジタル動作モードにおいて、同一画像を長期間表示する場合にも、画素電極電位の変動に起因する焼付きの発生やコントラストの低下を防止して、表示品位を損なうことなく低消費電力化を図ることができる。したがって、デジタル動作モードを用いることによって、待機画面等において、静止画や文字情報等を低消費電力かつ高品位で表示できる。

【0128】なお、図2においては、データ保持ノード N_m の電位に応じてオン・オフする n 型TFT34を、第2の駆動電位供給線10と画素電極 N_{px} との間に n 型TFT33と直列に接続する構成を例示したが、 n 型TFT34は、第1の駆動電位供給線8と画素電極 N_{px} との間に n 型TFT36と直列に接続することもできる。この場合には、 n 型TFT33および36のオン順序を入換えるために、 n 型TFT36のゲートをセット線6と結合し、 n 型TFT33のゲートをリセット線7と結合する必要がある。

【0129】[アナログ動作モードにおける画像表示]次に、アナログ動作モードで画像表示を実行する部分の構成および動作について説明する。

【0130】再び図2を参照して、液晶駆動回路30は、データ線12および画素電極 N_{px} の間に電氣的に結合される n 型TFT37をさらに有する。 n 型TFT37のゲートはアナログ走査線11と結合される。

【0131】アナログ走査線11が走査の対象となってHレベル電位に活性化されると、 n 型TFT37はオンする。すなわち、 n 型TFT37は、アナログ走査線11の活性化に応答してオンするスイッチ素子として動作する。

【0132】アナログ動作モードにおいては、データ線12によって伝達される画像データ信号 DAT は、階調表示に対応したアナログ信号であるので、 n 型TFT37のオンによって、データ線12と画素電極 N_{px} とを電氣的に結合することによって、画素電極 N_{px} に画像データ信号 DAT （アナログ）を直接書込むことができる。

【0133】図6は、アナログ動作モードでの画素電極電位の書込動作を示すタイミングチャートである。

【0134】図6を参照して、期間 T_6 、 T_7 および T_8 において、第 $(2n-1)$ 、 $2n$ および $(2n+1)$ ラインのそれぞれが垂直走査対象に選択される。

【0135】アナログ動作モードにおいては、各ラインに対応する、アドレス信号 ADD 、セット信号 ST およびリセット信号 RST の各々は、非活性状態に維持される。したがって、デジタル走査線5、セット線6およびリセット線7は、Lレベルに設定される。

【0136】期間 T_6 においては、画素3bにおける画素電極電位の書込動作が実行され、期間 T_7 においては、画素3aにおける画素電極電位の書込動作が実行される。

【0137】期間 T_6 において、第 $(2n-1)$ ラインに対応するアナログ走査線11によって伝達されるアドレス信号 $AG(2n-1)$ の活性化に応答して、画素3bの n 型TFT37がオンする。これにより、アナログ電位を有する画像データ信号 $DAT(m)$

が画素電極 N_{px} に書込まれる。

【0138】さらに、アドレス信号 $AG(2n-1)$ がHレベルからLレベルへ変化するタイミングにおいて、アナログ走査線11と画素電極 N_{px} との間の容量結合等の影響によって生じるフィードスルーによって、画素電極電位 $V_{px}(2n-1)$ は、 V_{fa} に変化する。

【0139】期間 T_7 においては、第 $2n$ ラインに対応するアナログ走査線11によって伝達されるアドレス信号 $AG(2n)$ の活性化に応答して、画素3aのn型TFT37がオンする。これにより、アナログ電位を有する画像 データ信号 $DAT(m)$ が画素電極 N_{px} に書込まれる。

【0140】さらに、アドレス信号 $AG(2n)$ がHレベルからLレベルへ変化するタイミングにおいて、アナログ走査線11と画素電極 N_{px} との間の容量結合等の影響によって生じるフィードスルーによって、画素電極電位 $V_{px}(2n)$ は、 V_{fb} に変化する。

【0141】その他の各ラインも順次垂直走査対象、すなわち画素電極電位の書込動作の対象となって、各画素に対して、画像 データ信号 DAT が有するアナログ電位が書込まれる。

【0142】したがって、アナログ動作モードにおいては、各画素において、中間輝度を含む階調表示を実行するとともに、画素電極電位を所定の垂直走査周期で書換えて、表示内容を逐次更新することができる。この結果、アナログ動作モードにおいては、階調表示に対応した高速画像 表示を実行することができる。したがって、アナログ動作モードを用いることによって、通常動作画面等において、動画像 等を高品位で表示できる。

【0143】また、アナログ動作モードで階調表示を行なう場合には、データ線12の電位は、デジタル動作モードにおける画像 データ信号 のHレベルおよびLレベルの中間電位に設定されるが、スイッチ部22によって、各データ線12とデジタル水平走査回路20とを切り離しているため、当該HレベルもしくはLレベルと、当該中間電位との間に、データ線12を介して流れる無用のリーク電流を抑制できるので、低消費電力化を図ることができる。

【0144】なお、図4に示されるように、アナログ動作モードにおいては、第1の液晶駆動電位 V_{REF} は書込動作に用いられないので、その生成を停止して消費電力の削減を図ることも可能である。

【0145】このように、実施の形態1に従う液晶表示装置1は、静止画像 等を低消費電力で表示できるデジタル動作モードと、動画像 等を高速表示できるアナログ動作モードとの両方に従って、画像 表示を実行できる。したがって、液晶表示装置1においては、デジタル動作モードおよびアナログ動作モードを、表示画像 の種類に応じて適切に設定することによって、低消費電力駆動と動画像等の高速画像 表示との両方に対応することができる。

【0146】〔実施の形態2〕実施の形態2においては、デジタル動作モードにおいても階調表示が可能な構成について説明する。

【0147】図7は、実施の形態2に従う各画素の構成を示す回路図である。図7を参照して、画素3は4個の副画素4a～4dに分割される。液晶表示素子PXは、副画素4a～4dにそれぞれ対応して、副液晶表示素子SPXa～SPXdに分割される。副液晶表示素子SPXa～SPXdは、副画素電極Npxa～NpXdをそれぞれ有する。副液晶表示素子SPXa～SPXd各々の対向電極には、共通電極電位VLCCOMが印加される。

【0148】副液晶表示素子SPXa～SPXdは、最大輝度表示時における表示輝度の比が、下式(2)となるように分割される。

【0149】

$$SPXa : SPXb : SPXc : SPXd = 2^0 : 2^1 : 2^2 : 2^3 \dots (2)$$

副画素4a～4dにおける点灯状態／非点灯状態をデジタル的に設定することによって、画素3の表示輝度を、4ビットデータに基づいた $2^4=16$ 段階に設定して、階調表示を実行できる。

【0150】なお、各画素における副画素の分割数を4個としたのは例示にすぎず、分割数は、任意のL個(L：2以上の整数)とすることができる。この場合には、最大輝度表示時における副画素4a～4dの表示輝度の比が、 $2^0 : \dots : 2^{(L-1)}$ となるように液晶表示素子を分割することによって、Lビットデータに基づいた 2^L 段階の階調表示を実行できる。

【0151】各ラインにおいて、デジタル走査線5は、副画素4a～4dにそれぞれ対応する独立のデジタル走査線5a～5dに分割される。デジタル走査線5a～5dは、各ラインの走査期間において、副画素4a～4dが選択される期間にそれぞれ活性化(Hレベル)されるアドレス信号ADDa～ADDdをそれぞれ伝達する。

【0152】一方、セット線6、リセット線7、第1の駆動電位供給線8、共通電位供給線9、第2の駆動電位供給線10およびアナログ走査線11は、副画素4a～4dに共通に、各ラインごとに設けられる。

【0153】さらに、各ラインごとに、副画素4a～4dに共通してデジタル走査線5zが設けられる。

【0154】なお、実施の形態2に従う構成においては、デジタル動作モードで用いられる第1の液晶駆動電位VREFは、1ラインごとに互いに位相が反転するように供給される。以下においては、奇数ラインに供給される第1の液晶駆動電位をVREFoで示し、偶数ラインに供給される第1の液晶駆動電位をVREFeで示す。第1の液晶駆動電位VREFoおよびVREFeは、互いに位相が180度ずれており、表示フレーム単位でその極性は反転される。第1の液晶駆動電位VREFoおよびVREFeをそれぞれ伝達するための第1の駆動電位供給線8oおよび8eは独立に配置される。

【0155】図7に示される画素は偶数ラインに属しており、第1の駆動電位供給線8eによって、第1の液晶駆動電位VREFeが供給されるものとする。これに対して、奇数ラインに属する画素においては、第1の駆動電位供給線8eに代えて第1の駆動電位供給

線 8 o が設けられる。

【0156】このように、1 ラインごとに極性が互いに異なる第 1 の液晶駆動電位 V_{REFo} 、 V_{REFe} を供給する構成とすることによって、第 1 の液晶駆動電位の周波数を表示フレーム周期相当の低周波数としても、実施の形態 1 において水平走査周期に相当する周波数で第 1 の液晶駆動電位 V_{REF} を生成した場合と同様の表示品位を得ることができる。この結果、第 1 の液晶駆動電位の生成に要する消費電力を低減できる。

【0157】副液晶表示素子 $SPXa \sim SPXd$ にそれぞれ対応して、液晶駆動回路 40 a \sim 40 d がそれぞれ配置される。液晶駆動回路 40 a \sim 40 d の各々の構成は同様であるので、液晶駆動回路 40 a の構成について代表的に説明する。

【0158】液晶駆動回路 40 a は、図 2 に示した液晶駆動回路 30 と同様に、 n 型 TFT 31、33、34、36 と、コンデンサ 32、35 とを有する。液晶駆動回路 40 a は、さらに、副画素電極 $Npxa$ からのリーク電流を抑制するための n 型 TFT 41、42 と、データ保持 ノード Nma からのリーク電流を抑制するための n 型 TFT 43、44、45、46 とを有する。

【0159】 n 型 TFT 41 は、第 2 の駆動電位供給線 10 と副画素電極 $Npxa$ との間に n 型 TFT 33 と直列に結合されて、 n 型 TFT 33 と同様に、セット線 6 の活性化に応答してオンするスイッチ素子として動作する。 n 型 TFT 42 は、第 1 の駆動電位供給線 8 e および画素電極電位の間に n 型 TFT 36 と直列に結合されて、 n 型 TFT 36 と同様に、リセット線 7 の活性化に応答してオンするスイッチ素子として動作する。

【0160】 n 型 TFT 43 は、データ保持 ノード Nma とデータ線 12 との間に n 型 TFT 43 と直列に結合されて、デジタル走査線 5 z の活性化に応答してオンするスイッチ素子として動作する。

【0161】 n 型 TFT 44、45、46 は、データ線 12 とデータ保持 ノード Nma との間に、 n 型 TFT 31 および 43 と直列に接続される。 n 型 TFT 44 は、 n 型 TFT 31 と同様に、副画素 4 a に対応するデジタル走査線 5 a の活性化に応答してオンするスイッチ素子として動作する。

【0162】 n 型 TFT 45 および 46 は、他の副画素 4 b \sim 4 c に対応するデジタル走査線 5 b \sim 5 c のうちのデジタル走査線 5 a と重なり合う活性化期間を有する 1 本の活性化に応答してオンするスイッチ素子として動作する。

【0163】後の説明で明らかになるように、アドレス信号 $ADDa(2n)$ と $ADDb(2n)$ との活性化期間は重なり合うので、 n 型 TFT 62 および 63 は、デジタル走査線 5 b の活性化に応答してオンするスイッチ素子として動作する。

【0164】同一の走査線に対応する、 n 型 TFT 31 および 61 と、 n 型 TFT 62 および 63 とのそれぞれは、往復電流パスを形成するように並列に配置される。これにより、これらの n 型 TFT を効率的に配置できる。

【0165】次に、実施の形態 2 に従うデジタル動作モードにおける画素電極電位の書込

動作について説明する。

【0166】図8は、リフレッシュ・サブモード時での実施の形態2に従う画素電極電位の書込動作を示すタイミングチャートである。

【0167】図8を参照して、第2nライン・第m列に位置する画素が垂直走査対象となる期間T1において、副画素4a～4dにおける画像データ信号（デジタル）の取込動作が実行される。

【0168】デジタル表示モードにおいて、第1の液晶駆動電位VREFoおよびVREFeは、期間T0～T2において、 $-V_{1c}$ および $+V_{1c}$ にそれぞれ維持される。次の表示フレーム期間において、第1の液晶駆動電位VREFoおよびVREFeは、 $+V_{1c}$ および $-V_{1c}$ にそれぞれ維持される。

【0169】第2nラインに対応するアドレス信号ADDa(2n)～ADDd(2n)は、同時に2つずつが順に活性化されるように、その信号レベルが設定される。

【0170】図8に示される例においては、第2nラインが垂直走査対象に選択される期間T1において、まず、アドレス信号ADDa(2n)およびADDb(2n)が同時に活性化される。その後、アドレス信号ADDb(2n)およびADDc(2n)が同時に活性化された後に、ADDc(2n)およびADDd(2n)が同時に活性化され、最後にADDd(2n)およびADDa(2n)が同時に活性化される。

【0171】これにより、アドレス信号ADDb(2n)およびADDd(2n)は、期間T1内において、活性化期間が重なり合うことなく順に活性化される。したがって、アドレス信号ADDb(2n)およびADDd(2n)は、期間T1において第2nラインに対する画像データ信号の書込と並列に実行される、第(2n-1)ラインに対する画素電極電位の書込動作において、リセット信号RST(2n-1)およびセット信号ST(2n-1)としてもそれぞれ共用することができる。

【0172】したがって、セット線6およびリセット線7が各ラインごとに配置される専用の信号線ではなく、他のラインに対応する走査線によって共用される構成とすることにより、各ラインごとに配置される信号線の本数を2本ずつ削減することができる。この結果、垂直走査回路15o、15eの構成をコンパクト化するとともに、画素配置における列方向のレイアウト制約を緩和して、画素を高集積配置することができる。

【0173】デジタル走査線5zによって伝達されるアドレス信号ADDz(n)は、第2nラインが垂直走査対象となる期間T1において、順に活性化されるアドレス信号ADDa(2n)～ADDd(2n)のそれぞれの活性化期間を全て含むように活性化される。

【0174】期間T1において、アドレス信号ADDa(2n)～ADDd(2n)をそれぞれ伝達するデジタル走査線5a～5dは、一定期間ずつ順に活性化される。データ線12は、アドレス信号ADDa(2n)～ADDd(2n)の活性化期間と同期するように、副画素4a～4dに書込まれる画像データ信号DAT(m)を伝達する。

【0175】データ線12とデータ保持ノードNma(2n)～Nmd(2n)との間に

接続される複数のn型TFTが全てオンするタイミングにおいて、図4の場合と同様に、副画素4a～4dに対するデジタルの画像データ信号DAT(m)の書込が実行される。

【0176】図8においては、副画素4a～4dに対して、“1”“0”“1”および“0”の画像データ信号DAT(m)が書込まれる場合が例示される。すなわち、デジタル走査線5a～5dの活性化にそれぞれ応答して、データ保持ノードNma(2n)～Nmd(2n)は、Hレベル、Lレベル、HレベルおよびLレベルにそれぞれ設定される。

【0177】図4と同様に、第(2n+1)ラインが垂直走査対象となる期間T2において、第2nラインに属する画素において、画素電極電位の書込動作が実行される。

【0178】リセット線7およびセット線6にそれぞれ相当する、他のラインに対応するデジタル走査線によって、リセット信号RST(2n)およびセット信号ST(2n)に相当する信号が所定期間ずつ順に活性化される。

【0179】副画素電極Npxa～Npxdは、リセット信号RST(2n)に相当するアドレス信号ADDb(2n+1)の活性化に応答して、第1の液晶駆動電位VREFeと結合される。これに応じて、副画素電極電位Vpxa～Vpxdは、電位+Vlcに向かって変化する。

【0180】一旦、第1の液晶駆動電位VREFeへの書込が行なわれた後に、セット信号ST(2n)に相当するアドレス信号ADDd(2n+1)の活性化に応答して、副画素電極Npxa～Npxdは、データ保持ノードNma(2n)～Nmd(2n)の電位に応じて、第1の液晶駆動電位VREFeもしくは第2の液晶駆動電位VCOM2の供給を受ける。

【0181】この結果、期間T2における副画素電極電位の書込動作の終了時において、副画素電極Npxa～Npxdは、電位Vf0、Vf+、Vf0およびVf+に設定される。

【0182】図9は、ホールド・サブモード時での実施の形態2に従う画素電極電位の書込動作を示すタイミングチャートである。

【0183】図9を参照して、ホールド・モードにおいては、デジタル走査線5zは、デジタル走査線5a～5dと同様に非活性状態に維持される。この結果、データ保持ノードNma(2n)～Nmd(2n)の各々とデータ線12との間には、オフされた複数のn型TFTが直列に結合される。

【0184】第2nラインに属する画素が再書込動作の対象となる期間T5における、副画素電極Npxa～Npxdに対する再書込動作は、他のラインに対応するデジタル走査線によって伝達される、リセット信号RST(2n)に相当するアドレス信号ADDb(2n+1)の活性化に応答して、副画素電極Npxa～Npxdは、第1の液晶駆動電位VREFeと一旦結合される。さらに、セット信号ST(2n)に相当するアドレス信号ADDd(2n+1)の活性化に応答して、副画素電極Npxa～Npxdは、データ保持ノードNma(2n)～Nmd(2n)の電位に応じて、第1の液晶駆動電位VRE

Feもしくは第2の液晶駆動電位VCOM2の供給を受ける。

【0185】この結果、期間T5における副画素電極電位の再書込動作の終了時において、副画素電極Npxa～Npxdは、リフレッシュ・モード時の期間T2終了後と同様の電位Vf0、Vf+、Vf0およびVf+に再設定される。

【0186】このような構成とすることにより、デジタル動作モードにおいて、実施の形態1と同様の低消費電力の書込動作によって各画素で階調表示を実行することができる。

【0187】さらに、液晶駆動回路40a～40dの各々において、副画素電極Npxa～Npxdからのリーク電流抑制のためのn型TF T41、42を設けているので、書込動作後および再書込動作後における副画素電極電位の変動を抑制して、各画素における表示輝度の変動を防止して、表示品位の向上を図ることができる。

【0188】また、液晶駆動回路40a～40dの各々において、データ保持ノードNma～Nmdからのリーク電流抑制のためのn型TF T43、44、45、46を設けているので、デジタル動作モードにおいて、図3に示した表示フレーム期間を長くして画像データ信号（デジタル）の書込周期を拡大することによって、さらなる低消費電力化を図ることができる。

【0189】再び図7を参照して、液晶駆動回路40a～40dにおいて、n型TF T37は、ノードNsと副画素電極Npxa～Npxdの各々との間に接続される。さらに、副画素4a～4dに共通に、リーク抑制のためのn型TF T47および48が、データ線12とノードNsとの間に直列に接続される。

【0190】アナログ動作モードにおいては、アナログ走査線11の活性化に応答して、液晶駆動回路40a～40dの各々においてn型TF T37がオンするとともに、リーク抑制のためのn型TF T47および48がオンする。この結果、副画素4a～4dに対して並列に、アナログ電位を有する画素データ信号DATが書込まれる。

【0191】すなわち、アナログ動作モードにおいては、副画素4a～4dの各々において、同一の中間輝度を表示することによって、階調表示が実行される。また、アナログ走査線11の非活性化期間においては、データ線12と副画素電極Npxa～Npxdの各々との間に、複数のオフされたn型TF Tが接続されるので、各画素における表示輝度の変動を防止して、表示品位の向上を図ることができる。

【0192】このような構成とすることにより、実施の形態1に従う書込動作に加えて、デジタル動作モードにおいても、各画素で階調表示を実行できる。また、各副画素において、副画素電極およびデータ保持ノードからのリーク電流を抑制するために、オフされたn型TF Tが複数個ずつ配置されているので、表示品位をさらに向上することができる。

【0193】【実施の形態3】以上述べたように、実施の形態1および2に従う液晶表示装置は、低消費電力駆動を前提として、高速画像表示にも対応することができる。したがって、このような液晶表示装置は、携帯電話機や携帯情報端末機器等のバッテリー駆動機器に適している。

【0194】図10は、本発明の実施の形態3に従う携帯電話機100の構成を示す概念図である。

【0195】図10を参照して、携帯電話機100は、実施の形態1および2のいずれかに従う液晶表示装置1の液晶表示部2を表示パネルとして備える。液晶表示装置1の構成の詳細については既に説明したとおりであるので繰返さない。この結果、携帯電話機に要求される高品位表示化および低消費電力化にマッチした構成とすることができる。

【0196】図11は、本発明の実施の形態3に従う携帯情報端末機器110の構成を示す概念図である。

【0197】図11を参照して、携帯情報端末機器110は、実施の形態1および2のいずれかに従う液晶表示装置1の液晶表示部2を表示パネルとして備える。これにより、携帯情報端末機器110は、携帯電話機100と同様に、高品位表示化および低消費電力化を図ることが可能となる。

【0198】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0199】

【発明の効果】請求項1および3に記載の液晶表示装置は、画像 データ信号 がデジタル信号 である場合には、各画素において、表示品位を損なうことなく同一画像 の表示を低消費電力で保持 できる。また、画像 データ信号 がアナログ信号 である場合には、各画素において、階調表示に対応した高速画像 表示を実行することができる。したがって、表示画像 の種類に応じて画像 データ信号 をアナログもしくはデジタル信号 とすることによって、低消費電力駆動と動画等の高速画像 表示との両方に対応することができる。

【0200】請求項2に記載の液晶表示装置は、デジタル信号 およびアナログ信号 をそれぞれ供給する水平走査回路と各データ線との間を切離すことができる。したがって、請求項1が奏する効果に加えて、データ線に生じるリーク電流を抑制して、さらなる低消費電力化を図ることができる。

【0201】請求項4に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、焼付きを防止した上でラインごとに画素電極電位の極性を分散できるので、表示輝度のリップル、すなわちフリッカが低減される。

【0202】請求項5に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、第1の液晶駆動電位の電位切換周波数を表示フレーム周期相当の低周波数としても、焼付きを防止した上でラインごとに画素電極電位の極性を分散できる。したがって、第1の液晶駆動電位の生成に要する消費電力を低減した上で、表示輝度のリップル、すなわちフリッカを抑制することができる。

【0203】請求項6に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果

に加えて、画像 データ信号 がLビットのデジタル信号 である場合にも、各画素において階調表示を実行できる。

【0204】請求項7、8、9および11記載の液晶表示装置は、データ保持 ノードからのリーク電流を抑制することができる。この結果、請求項6記載の液晶表示装置が奏する効果に加えて、画像 データ信号 がデジタル信号 である場合に、画像 データ信号 の書込周期を拡大することによって、さらなる低消費電力化を図ることができる。

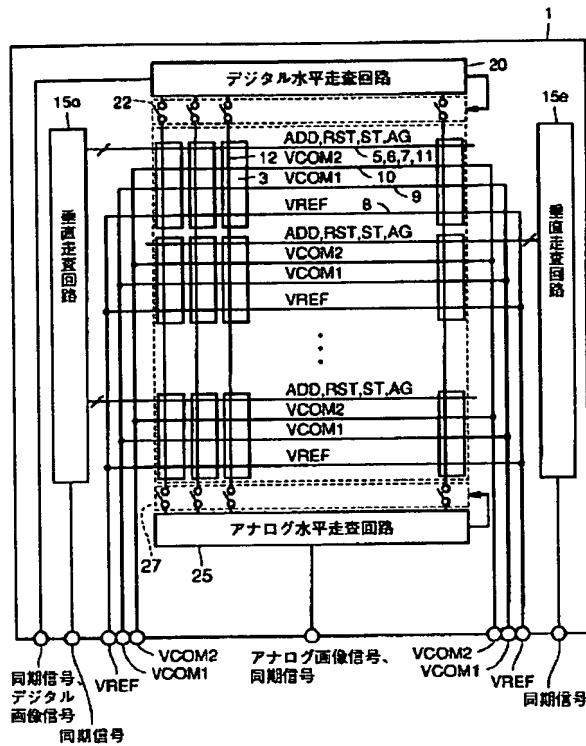
【0205】請求項10記載の液晶表示装置は、請求項9記載の液晶表示装置が奏する効果に加えて、各ラインごとに配置される信号 線の本数を削減することができる。この結果、画素配置におけるレイアウト制約を緩和して、画素を高集積配置することができる。

【0206】請求項12記載の液晶表示装置は、画素電極からのリーク電流を抑制することができる。この結果、請求項1、6または11記載の液晶表示装置が奏する効果に加えて、表示輝度の変動を防止して高品位表示化を図ることができる。

【0207】請求項13記載の携帯電話機は、画像 データ信号 がデジタル信号 である場合には、液晶表示部の各画素において、表示品位を損なうことなく同一画像 の表示を低消費電力で保持 できる。また、画像 データ信号 がアナログ信号 である場合には、液晶表示部の各画素において、階調表示に対応した高速画像 表示を実行することができる。したがって、表示画像 の種類に応じて画像 データ信号 をアナログもしくはデジタル信号 とすることによって、低消費電力駆動と動画等の高速画像 表示との両方に対応した画面表示を実行できる。

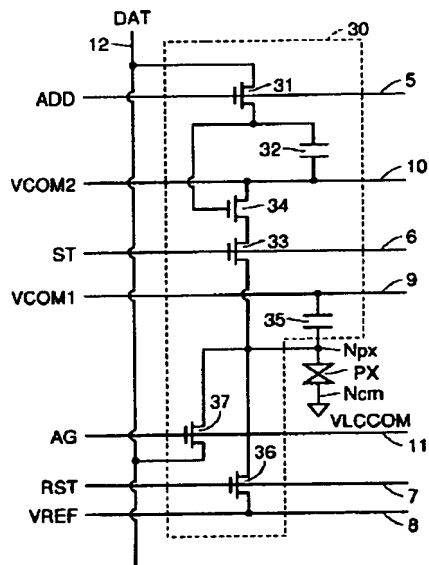
【0208】請求項14記載の携帯情報端末機器は、画像 データ信号 がデジタル信号 である場合には、液晶表示部の各画素において、表示品位を損なうことなく同一画像 の表示を低消費電力で保持 できる。また、画像 データ信号 がアナログ信号 である場合には、液晶表示部の各画素において、階調表示に対応した高速画像 表示を実行することができる。したがって、表示画像 の種類に応じて画像 データ信号 をアナログもしくはデジタル信号 とすることによって、低消費電力駆動と動画等の高速画像 表示との両方に対応した画面表示を実行できる。

【図1】

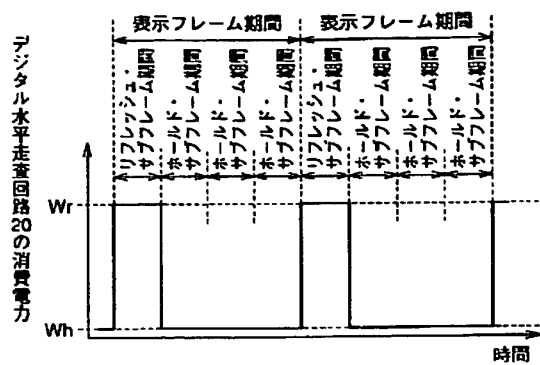


【図 2】

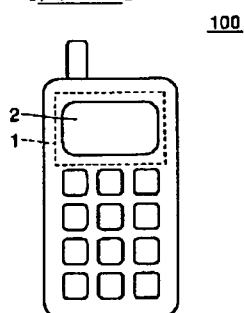
3



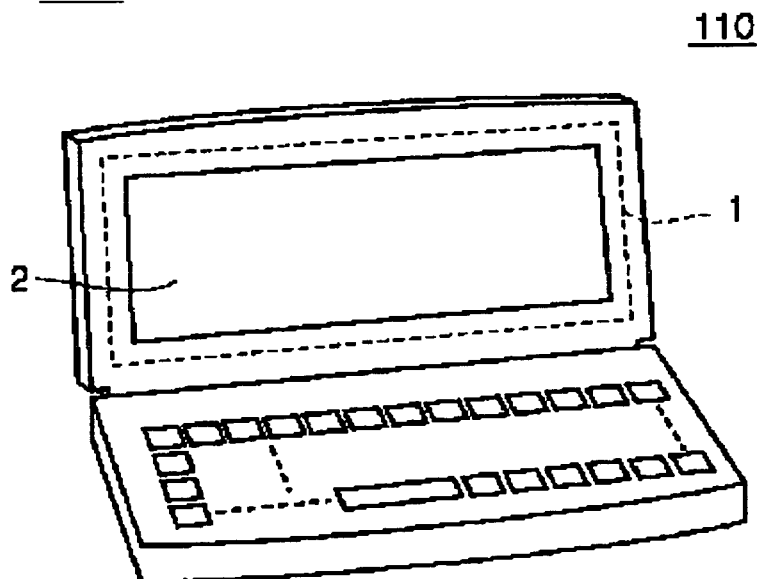
【図 3】



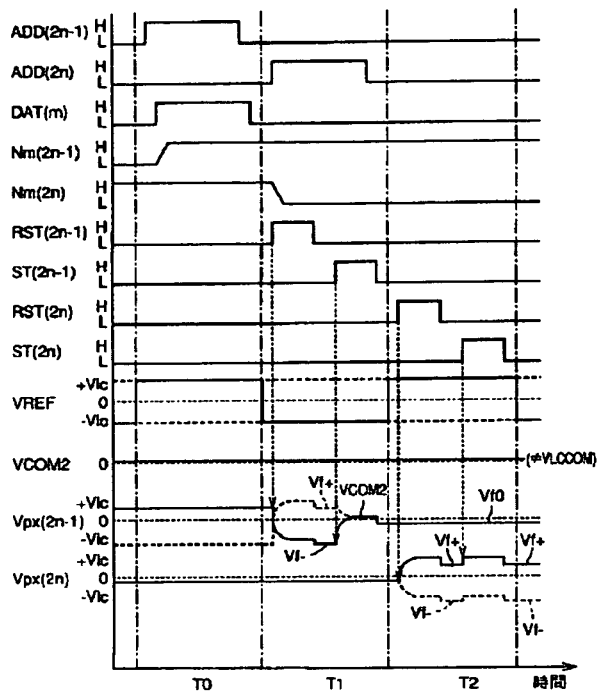
【図10】



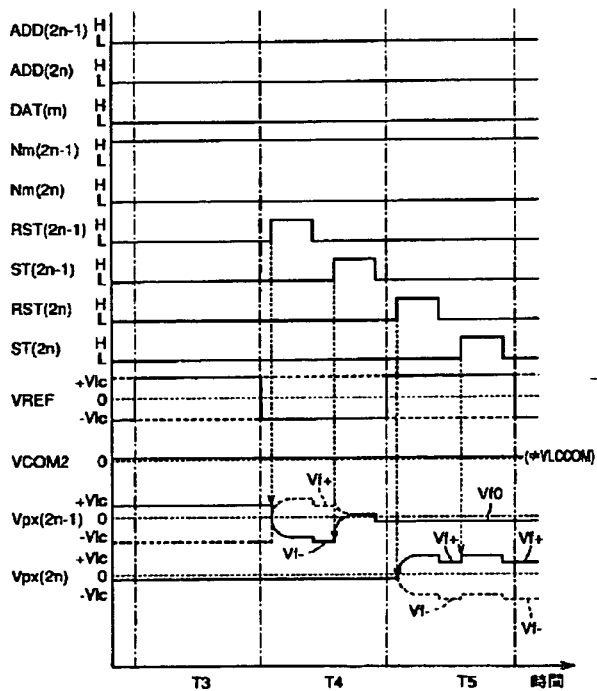
【図11】



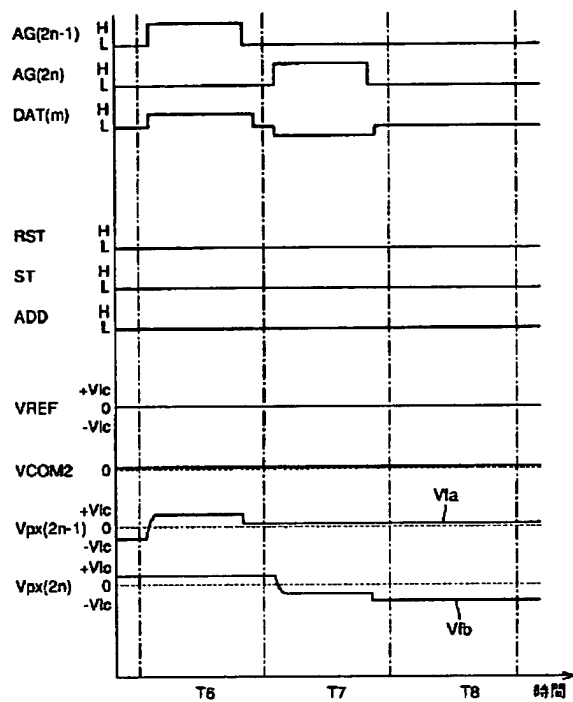
【図4】



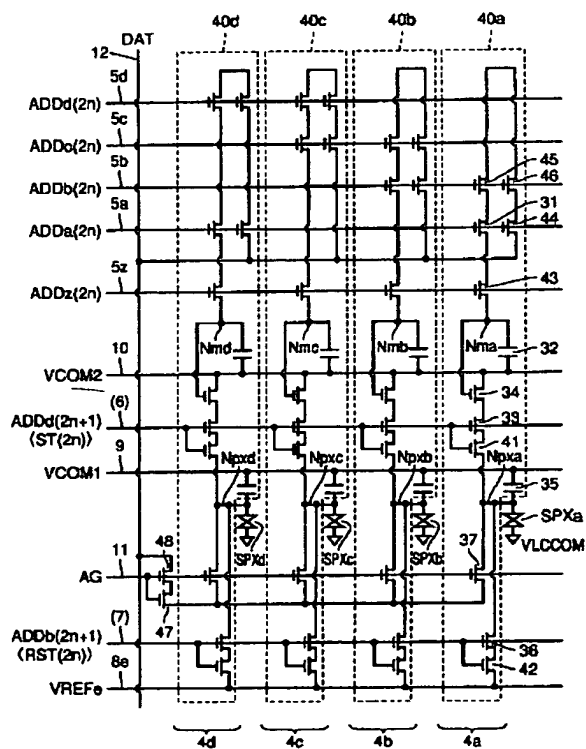
【図 5】



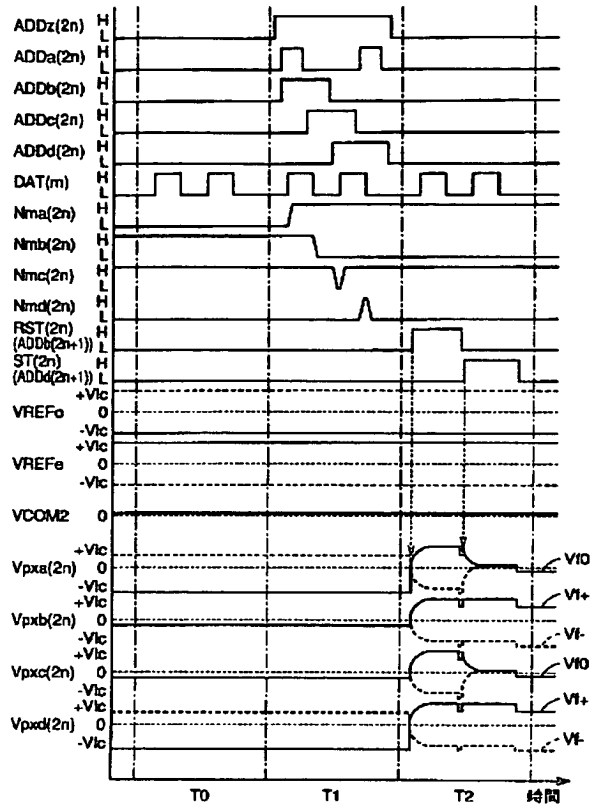
【図 6】



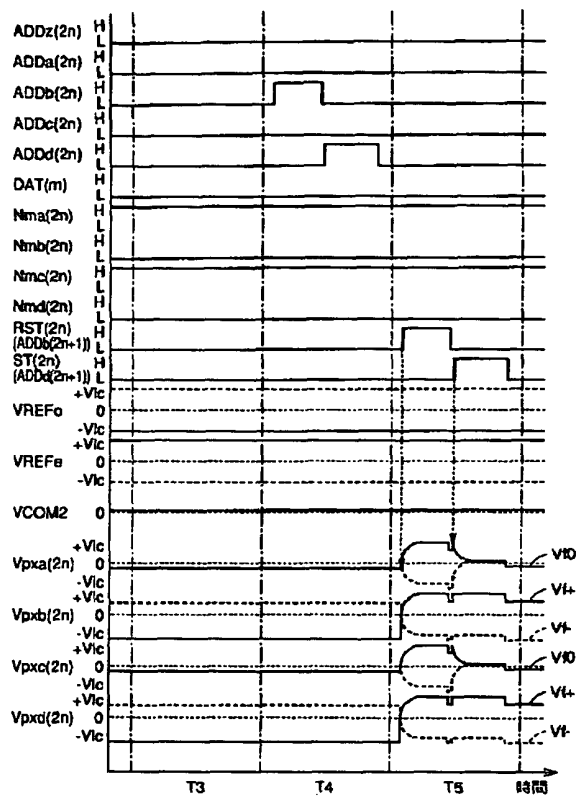
【図 7】



【図 8】

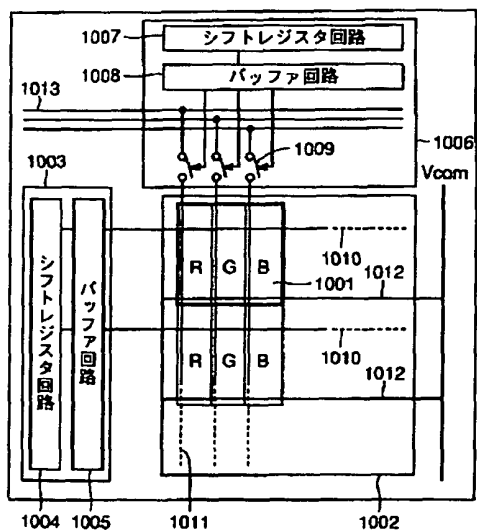


【図 9】

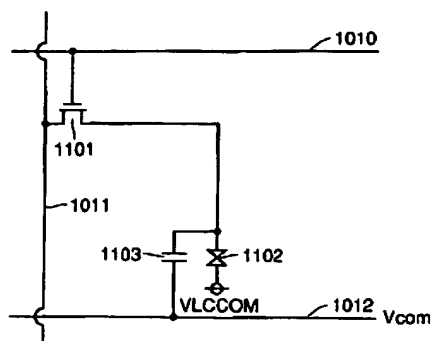


【図 1 2】

1000



【図 1 3】



【図 1 4】

